

#20/28/09

JC868 U.S. PTO
10/073570
02/11/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : Akira OKAWA, et al.
Filed: : Concurrently herewith
For: : **DEVICE FOR PROCESSING DATA....**
Serial No. : Concurrently herewith

Assistant Commissioner for Patents
Washington, D.C. 20231

February 11, 2002

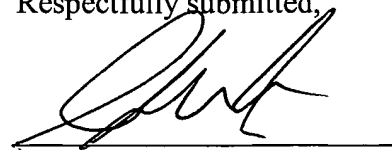
PRIORITY CLAIM AND SUBMISSION
OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2001-260407** filed **August 29, 2001**, a certified copy of which is enclosed.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,


Shahan Islam
Reg. No. 32,507

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: FUJI 19.420
TELEPHONE: (212) 940-8800

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC868 U.S. PTO
10/073570
02/11/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 8月29日

出 願 番 号

Application Number:

特願2001-260407

出 願 人

Applicant(s):

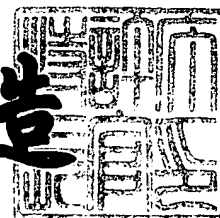
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3096108

【書類名】	特許願
【整理番号】	0150877
【提出日】	平成13年 8月29日
【あて先】	特許庁長官 及川 耕造 殿
【国際特許分類】	H04L 5/00
【発明の名称】	信号処理装置及び信号処理方法、多重化装置
【請求項の数】	5
【発明者】	
【住所又は居所】	神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ ィジタル・テクノロジー株式会社内
【氏名】	大川 章
【発明者】	
【住所又は居所】	神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ ィジタル・テクノロジー株式会社内
【氏名】	金山 敏雄
【発明者】	
【住所又は居所】	神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ ィジタル・テクノロジー株式会社内
【氏名】	林 俊明
【発明者】	
【住所又は居所】	神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ ィジタル・テクノロジー株式会社内
【氏名】	水本 浩二
【発明者】	
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号 富士通 株式会社内
【氏名】	福島 裕之
【発明者】	
【住所又は居所】	神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ

イジタル・テクノロジー株式会社内

【氏名】 大原 克一

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号処理装置及び信号処理方法、多重化装置

【特許請求の範囲】

【請求項 1】 入力信号を格納するメモリ部と、

前記メモリ部から入力信号に含まれるデータ信号を抽出し、所望の出力速度でデータ信号を出力する抽出部とを有し、

前記抽出部は、前記メモリ部から通知される前記入力信号の格納情報に基づいてデータ信号を出力することを特徴とする信号処理装置。

【請求項 2】 前記メモリ部は、第 1、第 2、第 3 の 3 つのメモリ部で構成され、

前記入力信号は、第 1、第 2、第 3 のメモリ部の順に順次格納され、

前記第 2 のメモリ部は、自らの格納情報を前記抽出部に通知することを特徴とする請求項 1 記載の信号処理装置。

【請求項 3】 前記抽出部は、前記メモリ部から出力されたデータ信号を監視する監視部と、

前記メモリ部から格納情報の通知と、前記監視部からのデータ信号の有効性の通知とを受けるデータ判定部と、

前記入力信号に挿入する無効データを生成する無効データ生成部とを有し、

前記無効データ生成部は、前記判定部からの通知により、前記入力信号に無効データを挿入することを特徴とする請求項 1 記載の信号処理装置。

【請求項 4】 請求項 1 から 3 記載の信号処理装置と、

複数の前記信号処理装置から出力されるデータ信号を多重化し、出力する多重化回路とを備えることを特徴とする多重化装置。

【請求項 5】

データ信号が入力され、所望の出力速度でデータ信号を出力するデータ信号処理方法であって、

入力信号の入力速度が前記出力速度より遅い場合は、前記データ信号に無効なデータ信号を挿入したデータ信号を、前記出力速度で出力し、

入力信号の入力速度が前記出力速度より速い場合は、前記データ信号に含まれ

る無効なデータ信号を削除したデータ信号を、前記出力速度で出力することを特徴とする信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデータ信号処理方法及び装置に関し、特に非同期データ信号多重化装置に関する。

【0002】

【従来の技術】

N : 1 非同期データ信号多重化装置は、図 1 に示されるように、N 個のインタフェース 4 から出力されるデータ信号 4 0 2 を、多重化回路 3 により多重化し、1 つのデータ信号として出力する装置である。

【0003】

図 1 における N 組のインタフェース 4 は、入力データ信号を F I F O メモリ 4 1 に格納し、その F I F O メモリ 4 1 から抽出回路 4 2 によりデータ信号を抽出し、多重化回路 3 に出力する。それら複数のインタフェースから出力されたデータ信号 4 0 2 を、多重化回路 3 が多重化し、その多重化データ信号 3 0 2 と、時分割多重化周期の先頭を示す出力 F P 3 0 3 とを出力する。

【0004】

この多重化装置における処理の例として 3 組のインタフェース A、B、C からデータ信号が出力される場合を図 2 に示す。この図において、数字が振られている正方形はデータ信号を表す。また、この数字は、入力された順に振られ、インタフェース A は、1 から始まり、インタフェース B は、2 1 から始まり、インタフェース C は、4 1 から始まる。また、この正方形で表されているデータ信号を、正方形内の番号 n を用いて、データ信号 n と記すことにする。

【0005】

この図 2 において、インタフェース A は、多重化回路から出力 F P が出力されるごとに、データ信号 1 からデータ信号 4 まで入力されている。また他のインタフェースも同様に 4 つのデータ信号が入力される。そして、それぞれデータ信号

は、インタフェースから同期クロックに同期して出力される。多重化回路は、これらのインタフェースから出力されるデータ信号を多重化し出力FPと共に出力する。

【0006】

【発明が解決しようとする課題】

入力データ信号の入力速度は、同期クロックのクロック速度より速い場合や遅い場合がある。この場合、図2のように、各インタフェースには、出力FPを出力するごとに4つずつデータ信号が入力されるのではなく、データ信号の入力速度が速い場合は、5つ入力されたり、逆に入力速度が遅い場合には、3つしか入力されないこともあり得る。

【0007】

例えば、図3のインタフェースBのように、出力FPの出力ごとに3つのデータ信号しか入力されないようなデータ信号の入力速度が遅い場合は、FIFOメモリへの入力速度がFIFOメモリから多重化回路へデータ信号が送信される速度より遅いため、FIFOメモリには入力データ信号がなくなり、多重化回路に送信するデータが欠落する現象が発生する。

【0008】

逆に、インタフェースCのように、出力FPの出力ごとに5つのデータ信号が入力されるようなデータ信号の入力速度が速い場合は、FIFOメモリへの入力速度がFIFOメモリから多重化回路へ出力される速度より速いため、FIFOメモリが飽和し、データ信号45やデータ信号50のようにFIFOメモリに蓄積されずに破棄されるスリップ現象が発生する。

【0009】

このように、従来の多重化装置による時分割多重化では、入力データ信号の入力速度と同期クロックに誤差が生じている場合に、入力データ信号の廃棄、または出力データの欠落が発生する問題があった。

【0010】

本発明は、このような問題点に鑑み、入力データ信号の入力速度と同期クロック速度の誤差を吸収し、データ信号を出力する信号処理装置及び信号処理方法、

多重化装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

請求項1に記載の発明は、入力信号を格納するメモリ部と、前記メモリ部から入力信号に含まれるデータ信号を抽出し、所望の出力速度でデータ信号を出力する抽出部とを有し、前記抽出部は、前記メモリ部から通知される前記入力信号の格納情報に基づいてデータ信号を出力することを特徴とする。請求項1においては、入力データ信号が格納されるメモリ部の格納情報により、抽出部が入力信号の入力速度と、同期クロックの速度との差を認識できるので、メモリ部からの入力信号を、その差に対応して処理したデータ信号を出力する。

【0012】

請求項2に記載の発明は、前記メモリ部は、第1、第2、第3の3つのメモリ部で構成され、前記入力信号は、第1、第2、第3のメモリ部の順に順次格納され、前記第2のメモリ部は、自らの格納情報を前記抽出部に通知することを特徴とする。請求項2においては、メモリ部を3つに分割することにより、2番目に格納されるメモリ部の蓄積情報だけで、抽出部が必要とするメモリ部全体の蓄積情報を把握することが可能となる。また、それぞれのメモリ部の容量を変えることにより、出力データ信号の欠落や、入力信号の破棄が発生するまでの時間差を設定することができる。

【0013】

請求項4に記載の発明は、請求項1から3記載の信号処理装置と、複数の前記信号処理装置から出力されるデータ信号を多重化し、出力する多重化回路とを備えることを特徴とする。請求項7においては、上述した特長を有する複数の信号処理回路から出力されるデータ信号を多重化する多重化回路を備えることにより、信号処理回路の特徴を有する多重化装置となる。

【0014】

請求項5に記載の発明は、データ信号が入力され、所望の出力速度でデータ信号を出力するデータ信号処理方法であって、入力信号の入力速度が前記出力速度より遅い場合は、前記データ信号に無効なデータ信号を挿入したデータ信号を、

前記出力速度で出力し、入力信号の入力速度が前記出力速度より速い場合は、前記データ信号に含まれる無効なデータ信号を削除したデータ信号を、前記出力速度で出力することを特徴とする。請求項5においては、入力データ信号に無効なデータを挿入することにより、出力データの欠落を防ぎ、入力データ信号に含まれる無効なデータ信号を削除することにより、有効なデータ信号を優先的に出力する。

【0015】

【発明の実施の形態】

本発明の実施の形態における信号処理装置及び多重化装置について図面を参照しながら説明する。

【0016】

最初に、このデータ信号処理装置に連続して入力されるデータ信号の説明をする。入力データ信号は、後述するデータ無符号のデータ長と等しいデータ長からなるデータ信号の単位で構成される。また、それらの入力データ信号は、有効なデータばかりではなく、無効なデータであるデータ無符号も含んでいる。そのため、有効または無効なデータ信号を識別するために、有効なデータには、有効なデータが始まることを示す符号が付加され、有効なデータの末尾には、有効なデータの終わりを示す符号が付加されている。

【0017】

次に、本実施の形態における多重化装置の全体構成が示された図4について説明する。多重化装置10は、複数の入力インタフェース1と多重化回路3からなる。そのうち入力インタフェース1は、非同期に入力される入力データ信号101を多重化回路3の同期クロック301を基準に多重化回路3に出力する。そして、多重化回路3は、インタフェース1から出力されたデータ信号202と他のインタフェースから出力されたデータ信号を多重化し、出力データ302と出力FP303とを多重化装置10から出力する。

【0018】

次に、入力インタフェース1についての説明をする。入力インタフェース1の構成は、3つのFIFOメモリ部からなるFIFOメモリ部100（前段FIF

メモリ部11、中段FIFOメモリ部12、後段FIFOメモリ部13)と、抽出補正回路2からなる。

【0019】

FIFOメモリ部100は、入力データ信号を格納するメモリである。また、抽出補正回路2は、FIFOメモリ部100から出力されるデータ信号から多重化回路3に出力するデータ信号を抽出する回路である。

【0020】

次に、FIFOメモリ部100について説明する。FIFOメモリ部100は、上述したように入力データ信号を格納するメモリであるので、まず、入力データ信号のFIFOメモリ部100へ格納方法について説明する。

【0021】

FIFOメモリ部100は、上述したように前段FIFOメモリ部11と、中段FIFOメモリ部12と、後段FIFOメモリ部13の3つのFIFOメモリで構成される。入力データ信号は、これら3つのFIFOメモリに後段、中段、前段の順に順次格納される。具体的に、3つのFIFOメモリとも空きである状態から入力データ信号が格納されるとしたとき、入力データ信号は、まず後段FIFOメモリ部13に格納される。そしてこの後段FIFOメモリ部13が飽和すると、入力データ信号は中段FIFOメモリ部12に格納され、さらに中段FIFOメモリ部12が飽和すると前段FIFOメモリ部11に格納される。

【0022】

このような入力データ信号の格納方法から、中段FIFOメモリ部12に入力データ信号が入っていない枯渇状態では、FIFOメモリ部100の空きメモリ容量に余裕があると判断できる。逆に、中段FIFOメモリ部12が飽和状態であれば、FIFOメモリ部100の空きメモリ容量に余裕はないと判断できる。

【0023】

このように、FIFOメモリ部100の入力データ信号の格納量に着目すると、入力データ信号の入力タイミングと多重化回路3に出力されるデータ信号の出力タイミングとのずれを間接的に認識することが可能となる。従って、FIFOメモリ部100は、中段FIFOメモリ部12の格納量の情報を抽出補正回路2

に通知する。

【0024】

また、後段FIFOメモリ部13の容量を変更することにより、中段FIFOメモリ部が空きとなつてから有効なデータ信号の連続によりデータ信号の入力遅延が補正されずデータ信号の欠落が発生するまでの時間差を設定できる。また、前段FIFOメモリ部11の容量を変更することにより、中段FIFOメモリ部12が飽和してから有効なデータ信号の連続によりデータ信号の入力過剰が補正されずデータ信号の廃棄が発生するまでの時間差を設定できる、

次に、抽出補正回路2の処理について説明した後、抽出補正回路2の構成を詳細に説明する。

【0025】

抽出補正回路2は、中段FIFOメモリ部12が空きであることを通知された場合は、多重化回路3へ出力するデータ信号の出力速度よりも、入力データ信号の入力速度が遅いと判断できるので、多重化回路3へ出力するデータ信号の欠落を防ぐために、有効データと有効データとの間にデータ無符号を挿入する。

【0026】

また、抽出補正回路2は、逆に中段FIFOメモリ部12に空きがないことを通知された場合は、多重化回路3へ出力するデータ信号の出力速度よりも、入力データ信号の入力速度が速いと判断できるので、多重化回路3へ出力するデータ信号に無効データがある場合は、入力インタフェース1内で削除し、有効なデータを優先的に多重化回路3へ出力する。

【0027】

このように入力インタフェース1は、FIFOメモリ部100の空き具合で入力データ信号の入力速度を判断し、抽出補正回路2でデータの削除や挿入を行う仕組みとなっている。

【0028】

次に、抽出補正回路2の詳細な説明をする。

【0029】

抽出補正回路2は、図4に示されるように、セレクタ24と、データ監視プロ

トコル処理回路 2 1 と、データ有効状態判定回路 2 2 と、データ無符号生成回路 2 3 と、データ無符号保持判定回路 2 6 と、データ削除 F I F O メモリ 2 5 からなる。

【 0 0 3 0 】

データ監視プロトコル処理回路 2 1 は、セクタ 2 4 から送信されるデータ信号の有効性などを監視し、その監視結果をデータ有効状態判定回路 2 2 またはデータ無符号保持判定回路 2 6 に通知する。

【 0 0 3 1 】

データ有効状態判定回路 2 2 は、データ無符号生成回路 2 3 にデータ無符号の生成を指示する。また、データ有効状態判定回路 2 2 は、中段 F I F O メモリ部 1 2 から、中段 F I F O メモリ部 1 2 のメモリ容量の状態を通知される。

【 0 0 3 2 】

データ無符号生成回路 2 3 は、データ有効状態判定回路 2 2 から指示を受け、データ無符号を生成すると共に、セクタ 2 4 に対し後述する指示を行う。

【 0 0 3 3 】

セクタ 2 4 は、ライン 2 4 1 に出力するデータ信号を、データ無符号生成回路 2 3 または F I F O メモリ部 1 0 0 のいずれかから出力するのかを切り替える。この切り替えは、上記データ有効状態判定回路 2 2 からの指示により行われる。

【 0 0 3 4 】

データ無符号保持判定回路 2 6 は、データ削除 F I F O メモリ 2 5 に対し、データ削除 F I F O メモリ 2 5 に格納されているデータ信号の削除を指示する。また、データ無符号保持判定回路 2 6 は、中段 F I F O メモリ部 1 2 から、中段 F I F O メモリ部 1 2 のメモリ容量の状態を通知される。

【 0 0 3 5 】

以上に説明した複数の回路により抽出補正回路 2 は構成されており、それぞれの回路は同期クロック 3 0 1 で同期している。なお、図中のライン 1 2 2、1 2 3、2 0 1、2 1 1、2 1 2、2 2 1、2 3 1、2 3 2、2 4 1、2 6 1 は信号線を表す。

【0036】

次に、この抽出補正回路2内の個々の回路につき、その詳細を図5を用いて説明する。

【0037】

まず、データ監視プロトコル処理回路21は、シフトレジスタ21aと、2つのデコーダ21b、21cからなる。デコーダ21bは、シフトレジスタ21aからのデータ信号から、有効なデータ信号の先頭であることを示す符号またはデータ信号の末尾であることを示す符号が検出された場合は、先頭の符号あるいは末尾の符号を検出したことをデータ有効状態判定回路22へ通知する。デコーダ21cは、シフトレジスタ21aからのデータ信号から、データ無符号を検出した場合は、データ無符号を検出したことをデータ無符号保持判定回路26へ通知する。

【0038】

データ有効状態判定回路22は、ラッチ22aとAND回路22bからなる。ラッチ22aは、データ監視プロトコル処理回路21から通知されたデータ信号の有効または無効である状態を保持する。AND回路22bは、中段FIFO12から枯渇状態が通知され、かつ、ラッチ22aにデータ無効状態が保持されている場合に、データ無符号生成回路23へデータ無符号生成を通知する。

【0039】

データ無符号生成回路23は、カウンタ23aと、デコーダ23bと、シフトレジスタ23cからなる。カウンタ23aは、データ有効状態保持回路22からデータ無符号生成の通知を受けて、同期クロック301に同期してカウンタ値を0からデータ無符号のビット長と同じ値まで増加させる。デコーダ23bは、カウンタ23aのカウント値がデータ無符号のビット長と同じ値になるまでシフトレジスタ23cにデータ無符号の送出を通知すると共に、セレクタ24の入力を231側へ切り替える。シフトレジスタ23cは、デコーダ23bから通知を受けて同期クロック301に同期してデータ無符号をセレクタ24へ送出する。

【0040】

セレクタ24は、ライン201側の後段FIFO13から入力されるデータ信

号を削除FIFO25およびデータ監視プロトコル処理回路21へ出力する。また、セクタ24は、データ無符号生成回路23から切り替えを通知された場合は、データ信号を入力するラインを231側へ切り替え、データ無符号生成回路23から出力されるデータ無符号を削除FIFO25およびデータ監視プロトコル処理回路21へ出力する。

【0041】

削除FIFO25は、セクタ24から出力されたデータ信号を格納し、多重化回路3へ出力する。また、データ無符号保持判定回路26からデータ無符号削除の通知を受けた場合に格納されたデータ信号を削除する。

【0042】

データ無符号保持判定回路26は、カウンタ26bと、AND回路26aと、デコーダ26cからなる。カウンタ26bは、データ無符号を削除するための処理したビット単位で増分するカウンタである。また、AND回路26aは、データ監視プロトコル処理回路21からデータ無符号が検出されたことの通知があり、かつ、デコーダ26cから出力があり、かつ中段FIFO12から飽和状態が通知されている場合に、削除FIFO25へデータ信号の削除を通知する。

【0043】

ここで、このデータ無符号保持判定回路26は、上述したように削除FIFO25へデータ無符号の削除を通知するが、連続してデータ無符号を削除する通知を行わないことにする。具体的に、データ無符号が2つ連続している場合は、1つ目のデータ無符号を削除し、2つ目のデータ無符号は削除しないことにする。

【0044】

そのため、カウンタ26bは、データ監視プロトコル処理回路21からデータ無符号を検出した通知を受けて、同期クロック301に同期してデータ無符号のビット長の2倍の値までカウンタ値を増加する。

【0045】

このとき、データ監視プロトコル処理回路21は、カウンタ値が1以上で、データ無符号のビット長以下のときは、データ無符号を削除する通知をし、データ無符号のビット長より大きく、データ無符号のビット長の2倍の値以下のときは

、データ無符号を削除する通知をしない。このようにして、連続してデータ無符号を削除しない。

【0046】

なお、図中のライン262、263、213、222、233、232、234は信号線を表す。

【0047】

以上でインタフェース1の構成の説明を終え、次に、インタフェース1の処理概要を図6のフローチャートを用いて説明する。なお、図6のフローチャートにおいて、「削除FIFO」は、データ削除FIFOメモリ25であり、「中段FIFO」は、中段FIFOメモリ部12を表す。

【0048】

まず、起動したときに、データ有効状態判定回路にデータ無効をセットし、データ削除FIFOメモリ25に、データ無符号がセットされる初期処理が行われる(S1)。

【0049】

この初期処理以降、インタフェース1は、多重化回路3からのデータ信号読み出し要求があるかどうかの判断(S2)を、各処理の終了ごとに行う。

【0050】

まず最初に、データ有効状態判定回路22は、データ有効を示しており、データ無符号保持判定回路26も、データ無符号を保持していない通常の状態での処理について説明する。

【0051】

データ信号読み出し要求を受けると(S2でY)削除FIFOから多重化回路へデータ信号が出力される(S3)。次にデータ有効状態判定回路はデータ有効を示しているので(S4でY)、後述する処理Aが行われる(S5)。次に、データ無符号の保持もしていないので(S6でN)、再びステップS2の処理に戻る。

【0052】

次に、処理Aについて図7のフローチャートを用いて説明する。なおフローチ

ャート中の後段F I F Oメモリ部とは、後段F I F Oメモリ部13を表す。

【0053】

処理Aは、主にデータ有効状態判定回路22のデータ有効状態を必要に応じて更新する処理である。

【0054】

まず、後段F I F Oメモリ部からデータ信号を読み出し、削除F I F Oへ格納する（S21）。そのデータ信号が有効データの開始を示す符号が付加されていて、かつ、データ有効状態判定回路22のデータ有効状態が無効であれば（S22でY）、データ有効状態判定回路22のデータ有効状態を有効とする（S23）。

【0055】

また、後段F I F Oメモリ部から読み出したデータ信号が、有効なデータの最後を示す符号が付加されていて、かつ、データ有効状態判定回路22のデータ有効状態が有効であれば（S22でN、S24でY）、データ有効状態判定回路22のデータ有効状態を無効とする（S25）。

【0056】

次に、データ有効状態判定回路22は、データ無効を示しており、データ無符号保持判定回路26は、データ無符号を保持している状態での処理について説明する。

【0057】

ステップS4までは、上述した処理が行われる。次に、データが無効なため（S4でN）、中段メモリが空きかどうかの判定が行われる。このとき中段メモリが空きでなければ（S8でN）、上述したステップS5、ステップS6と処理される。また、中段メモリが空きであれば（S8でY）、データの入力速度が遅いことを示しているので、削除F I F Oへデータ無符号を出力する（S9）。以後ステップS6が処理される。

【0058】

次に、ステップS6において、データ無符号を保持している（S6でY）場合について説明する。データ無符号保持判定回路26がデータ無符号を保持するの

は、データ無符号保持判定回路 2 6 にデータ監視プロトコル処理回路 2 1 からデータ無符号が検出されたことの通知があった場合である。

【 0 0 5 9 】

このとき、処理 B の処理を行う。この処理 B について図 8 のフローチャートを用いて説明する。

【 0 0 6 0 】

データ無符号を保持していて、中段 F I F O メモリ部 1 2 がオーバーフローで、かつ、データ無符号を連続して削除することにならない場合（S 3 1 で Y）、データ信号の入力速度が速いため、削除 F I F O 2 5 のデータ無符号を削除する（S 3 2）。

【 0 0 6 1 】

次に、多重化回路よりデータ信号の読み出し要求がない場合（S 2 で N）について図 6 を用いて説明する。

【 0 0 6 2 】

この場合、削除 F I F O が空きであれば（S 7 で Y）、上述したステップ S 8 からの処理となる。また、削除 F I F O が空きでなければ、多重化回路に出力するデータ信号が削除 F I F O に控えているので、多重化回路からの読み出し要求待ちの状態であり、再びステップ S 2 の処理となる。

【 0 0 6 3 】

以上でインタフェース 1 の処理の概要の説明を終え、次に、このように構成されたインタフェース 1 に入力したデータ信号が、多重化回路 3 に出力されるまでのインタフェース 1 の処理内容を、3 つの場合に分けて説明する。

【 0 0 6 4 】

まず、第 1 の場合は、中段 F I F O メモリ部 1 2 が、空きも飽和もしない場合であり、その場合のインタフェース 1 の処理内容を図 9 と図 1 0 を用いて説明する。

【 0 0 6 5 】

図 9 は、インタフェース A とインタフェース B の 2 枚のインタフェースから、多重化回路 3 にデータ信号が出力される様子を示した図である。

【0066】

図9において、数字が振られている正方形は、データ信号を示す。また、その数字は、入力された順に振られており、インタフェースAは1から始まり、インタフェースBは、201から始まる。以下、正方形で囲まれたデータ信号を、その四角内の数字nを用いて、データ信号nと記す。また、正方形で囲まれた「無」は、データ無符号を意味する。

【0067】

次に、図9に記載されている語句の説明をする。

【0068】

「前段メモリ入力データ」、「中段メモリ入力データ」、「前段メモリ入力データ」は、それぞれ前段FIFOメモリ部11への入力データ信号、中段FIFOメモリ部12への入力データ信号、後段FIFOメモリ部13への入力データ信号を表す。

【0069】

「中段メモリEmpty」は、中段FIFOメモリ部12が空きかどうかを表す。また、「中段メモリOverflow」は、中段FIFOメモリ部12が飽和状態かどうかを表す。

【0070】

「データ有効」は、抽出補正回路2へ入力されたデータ信号が有効なデータ信号かどうかを表す。また、「データ無し符号保持」とは、データ無符号保持判定回路26が、データ監視プロトコル処理回路21から、データ無符号の検出通知を受け、データ無し符号保持をしているのかどうかを表す。

【0071】

なお、インタフェースBについては、前段メモリ入力データ（前段FIFOメモリ部への入力データ）と補正回路（抽出補正回路）出力データの記載とする。

【0072】

次に、多重化回路の「出力データ」とは、多重回路3から出力されるデータを表し、「出力FP」は、多重化したデータ信号の先頭を表す。

【0073】

次に、図9における具体的なデータ信号の流れの例を、データ信号1を用いて説明する。まず、データ信号1は、前段FIFOメモリ部11に入力され(S101)、中段FIFOメモリ部12を経て(S102)、後段FIFOメモリ部13に格納される(S103)。このように全てのFIFOメモリ部が空きであっても、上記順番で格納される。

【0074】

次に、データ信号1は、抽出補正回路2に入力され(S104)、処理された後、抽出補正回路2から出力され(S105)、多重化回路3から出力される(S106)。

【0075】

このような入力データ信号の流れを、FIFOメモリに着目して表現したのが図10である。次に図10に記載されている語句の説明をする。

【0076】

「入力データ」とは、インタフェースAに入力されるデータ信号の番号を表し、データ無符号だけ「0」と表す。また、「回路入力」とは、抽出補正回路2に入力されるデータ信号の番号を表し、「回路出力」とは、抽出補正回路2から出力されるデータ信号の番号を表す。この場合もデータ無符号だけ「0」と表す。

【0077】

また、「Empty」は、中段FIFOメモリ部12が空きかどうかを表し、空きの場合は「1」とし、空きが解除されると「0」とする。また、「データ有効」とは、抽出補正回路2へ入力されたデータ信号が有効なデータ信号かどうかを表し、有効な場合は、「1」とし、無効な場合は「0」とする。

【0078】

なお、この第1の場合は、前段メモリ部11にデータ信号は格納されないもので、前段メモリ部11は図示しない。

【0079】

次に、図10の説明を、図9で説明したデータ信号1の流れを対応させて説明する。図9におけるS101からS103で、後段FIFOメモリ部13にデータ信号1は格納される(S103)。次に、抽出補正回路2にデータ信号は入力

される（S 1 0 4）。そして抽出補正回路 2 からデータ信号は出力される（S 1 0 5）。

【 0 0 8 0 】

なお、図 9 と図 1 0 は、図 9 が連続的な表現であり、図 1 0 が、離散的な表現であるので、これら表現方法の違いにより図の内容が異なるように見えることがある。

【 0 0 8 1 】

以上説明した図 9 と図 1 0 を用いて、第 1 の場合の多重化装置 1 0 の処理について説明する。

【 0 0 8 2 】

図 1 0 において、データ信号 5 より、初めて中段 F I F O メモリ部 1 2 に入力データ信号が格納されるので、それまでの「E m p t y」は、空きの状態を示す 1 となっている。また、図 9 においても「中段メモリ E m p t y」は、空きの状態を示している。そして、この空きの状態でデータ信号 5 が入力されることにより、空き状態が解除され、そのことを示す枯渇解除信号は、中段 F I F O メモリ部 1 2 から、データ有効状態判定回路 2 2 に通知される。

【 0 0 8 3 】

次に、データ信号 6 が入力されるのと同じくして、データ信号 1 は、抽出補正回路 2 に入力される。このとき、データ信号 1 は、有効なデータの先頭を示す符号が付加されているため、データ有効状態判定回路 2 2 は、データが有効であることを認識し、データ有効状態判定回路 2 2 にデータが有効であることが通知される。これにより、図 9 の「データ有効」は、データが有効であることを示し、「データ無符号保持」もデータ無符号不保持となる。また、図 1 0 においても、データ信号 1 が抽出補正回路 2 に入力された時点（S 1 0 4）では、データ信号 1 の有効性が判定されていないが、抽出補正回路から出力される時点（S 1 0 5）で「データ有効」がデータの有効性を表す 1 となっている。

【 0 0 8 4 】

このようにしてデータ信号 1 は、インタフェース A から出力され、インタフェース B から出力されたデータ信号 2 0 1 と共に多重化回路 3 から出力される（図

9のS106)。

【0085】

これ以降、中段FIFOメモリ部12は、空きも飽和もしない状態が続く。また、入力データ信号も、連続して有効なデータが入力されるので、図9のデータ有効やデータ無し符号保持も変わらない。

【0086】

以上、中段FIFOメモリ部12が、空きも飽和もしない場合の処理について説明した。

【0087】

次に、入力データ信号の入力速度が遅い第2の場合について、図11と図12を用いて説明する。

【0088】

この第2の場合は、入力データ信号に、データ無符号が入力される。このデータ無符号は、図11において、正方形で囲まれた「無」に対応し、図12では「IC」に対応している。

【0089】

なお、図11の図の見方は、第1の場合に用いた図9の見方と同じであり、図12の図の見方も図10と図の見方と同じである。

【0090】

次に、第2の場合の処理について説明する。まずデータ信号5が入力されるまでは、第1の場合と同様な処理を行う。次に、図11または図12において、データ信号5が、中断FIFOメモリ部12から、後段FIFOメモリ部へ格納される(S201)ため、中段FIFOメモリ部12は、空きとなる。そのため、図11において、「中段メモリEmpty」は、Empty解除から、再びEmptyとなり、図12においても、「Empty」は0となる。また、そのときデータ信号1により、図11において「データ有効」は、データ有効となり、「データなし符号保持」は、データ無符号不保持となる(S202)。

【0091】

そこで、データ無符号が中段FIFOメモリ部12に入力されるため(S20

3)、図11において、「中段メモリEmpty」は、Emptyから、再びEmpty解除となり、図12においても、「Empty」は0となる。しかし、その後再び中段FIFOメモリ部12は、空きとなる。また、このとき中段FIFO12の枯渇状態がデータ有効状態判定回路22へ通知される。

【0092】

次に、データ信号1から続く有効なデータの最後のデータ信号であるデータ信号5が、抽出補正回路2に入力される(S204)。そのとき、上述したようにデータ信号5には、有効なデータの末尾であることを示す符号が付加されているため、データ監視プロトコル処理回路21により、データ有効状態判定回路22はデータの無効を通知され、データ有効状態判定回路22はデータ無効状態にセットされる。従って図11において、「データ有効」は、データ無効となる。

【0093】

そして、データ信号5が抽出補正回路2から出力された後、データ有効状態判定回路22は、データ無符号生成回路23にデータ無符号の出力を指示し、データ無符号生成回路23は、セレクタ24の入力をライン231側へ切り替える。これにより、データ無符号が挿入され、抽出補正回路2から出力される(S205)。また、S205におけるデータ無符号を出力する時点では、中段FIFOメモリ部12は、まだ空の状態であるため、再びデータ無符号が挿入され、出力される(S206)。

【0094】

次に、データ信号8の場合も同様に、中段FIFOメモリ部12が、空き状態のため、データ無符号が挿入される(S207)。

【0095】

以上説明したように、中段FIFOメモリ部12が空きの状態で、かつデータが無効であれば、データ無符号を挿入することによりデータの欠落を防ぐことができる。

【0096】

次に、入力データ信号の入力速度が速い第3の場合について、図13と図14を用いて説明する。

【0097】

この第3の場合は、入力データ信号に、データ無符号が入力される。このデータ無符号は、図13において、正方形で囲まれた「無」に対応し、図14では「IC」に対応している。そして、この第3の場合は、データ無符号が削除される場合がある。この削除されるデータは、図14において「(IC)」と表す。また、データ信号の入力速度が速いため中段FIFOメモリ部12のオーバーフローも発生する。その状態を、図13では「中段メモリオーバーフロー」で表し、図14では、「Overflow」で表す。

【0098】

なお、図13の図の見方は、第1の場合に用いた図9の見方と同じであり、図14の図の見方も図10と図の見方と同じである。

【0099】

次に、第3の場合の処理について説明する。まずデータ信号5が入力されるまでは、第1の場合と同様な処理を行う。そして、データ信号5の入力により、中段FIFOメモリ部12は、空きではなくなるため(S301)枯渇解除信号をデータ有効状態判定回路22に通知する。この後、この第3の場合において、中段FIFOメモリ部12が空きとなることは無い。

【0100】

次に、データ信号1から連続した有効なデータ信号の最後のデータ信号5が、抽出補正回路2に入力される(S302)。この場合、第2の場合と異なり、中段FIFOメモリ部12は空きではないので、データ無符号が挿入されることはない。その後、データ信号12の後の入力データ信号は、3つ連続してデータ無符号が入力されている(S303)。このうち2つは、後に削除されるデータ無符号である。

【0101】

次に、データ信号13が中段FIFOメモリ部12に格納されるため、中段FIFOメモリ部12は飽和し、データ無符号保持判定回路26に飽和が通知される。また、図13において、「中段メモリOverflow」は、Overflowを示し、図14において、「Overflow」は、飽和を示す1となる。

そして、データ信号12が、抽出補正回路2に入力されることにより、図13の「データ有効」は、データ無効となる(S305)。また、図14においても、「データ有効」は、データ無効を示す0となる。そして、データ無符号が、抽出補正回路2に入力される。この状態で、中段FIFOメモリ部12は、飽和しており、かつ、入力データが、データ無符号であるので、このデータ無符号は削除される(S306)。

【0102】

次の状態も同様に中段FIFOメモリ部12が飽和しており、かつ、入力データが、データ無符号であるが、上述した連続してデータ無符号を削除しないようにしているので、このデータ無符号は削除されない(S307)。

【0103】

しかし、次のデータは、中段FIFOメモリ部12が飽和しており、かつ、入力データがデータ無符号であり、連続して削除することにはならないので削除される(S308)。その後、S309で上述の条件によりデータ無符号は、削除される。

【0104】

以上説明したように、中段FIFOメモリ部12が飽和の状態で、かつデータが無効であれば、データ無符号を削除することによりスリップ現象を防ぐことができる。

【0105】

上記各実施の形態において、抽出補正回路2は、抽出部に対応し、後段FIFOメモリ部13、中断FIFOメモリ部12、前段FIFOメモリ部11は、それぞれ第1、第2、第3のメモリ部に対応する。

【0106】

また、データ監視プロトコル処理回路21は、監視部に対応し、データ有効状態判定回路22は、データ判定部に対応し、データ無符号生成回路23は、無効データ生成部に対応し、データ無符号保持判定回路26は、データ無符号判定部に対応し、データ削除FIFOメモリ25は、削除部に対応する。

【0107】

以下、本発明の要旨の一部を以下に列挙する。

【0108】

(付記1) 入力信号を格納するメモリ部と、

前記メモリ部から入力信号に含まれるデータ信号を抽出し、所望の出力速度でデータ信号を出力する抽出部とを有し、

前記抽出部は、前記メモリ部から通知される前記入力信号の格納情報に基づいてデータ信号を出力することを特徴とする信号処理装置。

【0109】

(付記2) 前記メモリ部は、第1、第2、第3の3つのメモリ部で構成され、

前記入力信号は、第1、第2、第3のメモリ部の順に順次格納され、

前記第2のメモリ部は、自らの格納情報を前記抽出部に通知することを特徴とする付記1記載の信号処理装置。

【0110】

(付記3) 前記抽出部は、前記メモリ部から所定の内容が通知された場合、前記入力信号に無効なデータ信号を挿入したデータ信号を出力することを特徴とする付記1記載の信号処理装置。これにより、入力データ信号に無効なデータ信号を挿入することにより、出力データ信号の欠落を防止する。

【0111】

(付記4) 前記抽出部は、前記メモリ部から所定の内容が通知された場合、前記入力信号に含まれる無効なデータ信号を削除したデータ信号を出力することを特徴とする付記1記載の信号処理装置。これにより、入力データ信号に含まれる無効なデータ信号を削除することにより、有効なデータ信号を優先的に出力する。

【0112】

(付記5) 前記抽出部は、前記メモリ部から出力されたデータ信号を監視する監視部と、

前記メモリ部から格納情報の通知と、前記監視部からのデータ信号の有効性の通知とを受けるデータ判定部と、

前記入力信号に挿入する無効データを生成する無効データ生成部とを有し、

前記無効データ生成部は、前記判定部からの通知により、前記入力信号に無効データを挿入することを特徴とする付記 1 記載の信号処理装置。

【 0 1 1 3 】

メモリ部から入力データ信号の格納情報が通知され、監視部からデータの有効性を通知されるデータ判定部が、2つの通知内容に基づき、無効データ生成部に無効データの生成を指示し、無効データをデータ信号に挿入する。この監視部からの通知は、データ信号が無効なデータかどうかの通知内容である。

【 0 1 1 4 】

(付記 6) 前記抽出部は、前記メモリ部から出力されたデータ信号を監視する監視部と、

前記メモリ部から格納情報の通知と、前記監視部からのデータ信号の有効性の通知とを受けるデータ無符号判定部と、

データ信号を削除する削除部とを有し、

前記削除部は、前記データ無符号判定部からの通知により、前記入力信号に含まれる無効データを削除することを特徴とする付記 1 記載の信号処理装置。

【 0 1 1 5 】

メモリ部から入力データ信号の格納情報が通知され、監視部からデータの有効性を通知されるデータ無符号判定部が、2つの通知内容に基づき、削除部に無効データの削除を指示し、無効データをデータ信号から削除する。この監視部からの通知は、データ信号が無効データかどうかの通知内容である。

【 0 1 1 6 】

(付記 7) 付記 1 から 6 記載の信号処理装置と、

複数の前記信号処理装置から出力されるデータ信号を多重化し、出力する多重化回路とを備えることを特徴とする多重化装置。

【 0 1 1 7 】

(付記 8)

データ信号が入力され、所望の出力速度でデータ信号を出力するデータ信号処理方法であって、

入力信号の入力速度が前記出力速度より遅い場合は、前記データ信号に無効なデータ信号を挿入したデータ信号を、前記出力速度で出力し、

入力信号の入力速度が前記出力速度より速い場合は、前記データ信号に含まれる無効なデータ信号を削除したデータ信号を、前記出力速度で出力することを特徴とする信号処理方法。

【 0 1 1 8 】

【発明の効果】

以上説明したように、本発明によれば、入力データ信号の入力速度と同期クロック速度の誤差を吸収し、データ信号を出力する信号処理装置及び信号処理方法、多重化装置を提供できる。

【図面の簡単な説明】

【図 1】

N : 1 非同期データ信号多重化装置の全体図である。

【図 2】

多重化装置における処理の例を示す図である。

【図 3】

多重化装置における処理の例を示す図である。

【図 4】

多重化装置の全体構成を示す図である。

【図 5】

多重化装置の全体構成の詳細を示す図である。

【図 6】

処理概要のフローチャートである。

【図 7】

処理 A のフローチャートである。

【図 8】

処理 B のフローチャートである。

【図 9】

第 1 の場合におけるインタフェース 1 のタイムチャートである。

【図 1 0】

第 1 の場合におけるインタフェース 1 のメモリの様子を示す図である。

【図 1 1】

第 2 の場合におけるインタフェース 1 のタイムチャートである。

【図 1 2】

第 2 の場合におけるインタフェース 1 のメモリの様子を示す図である。

【図 1 3】

第 3 の場合におけるインタフェース 1 のタイムチャートである。

【図 1 4】

第 3 の場合におけるインタフェース 1 のメモリの様子を示す図である。

【符号の説明】

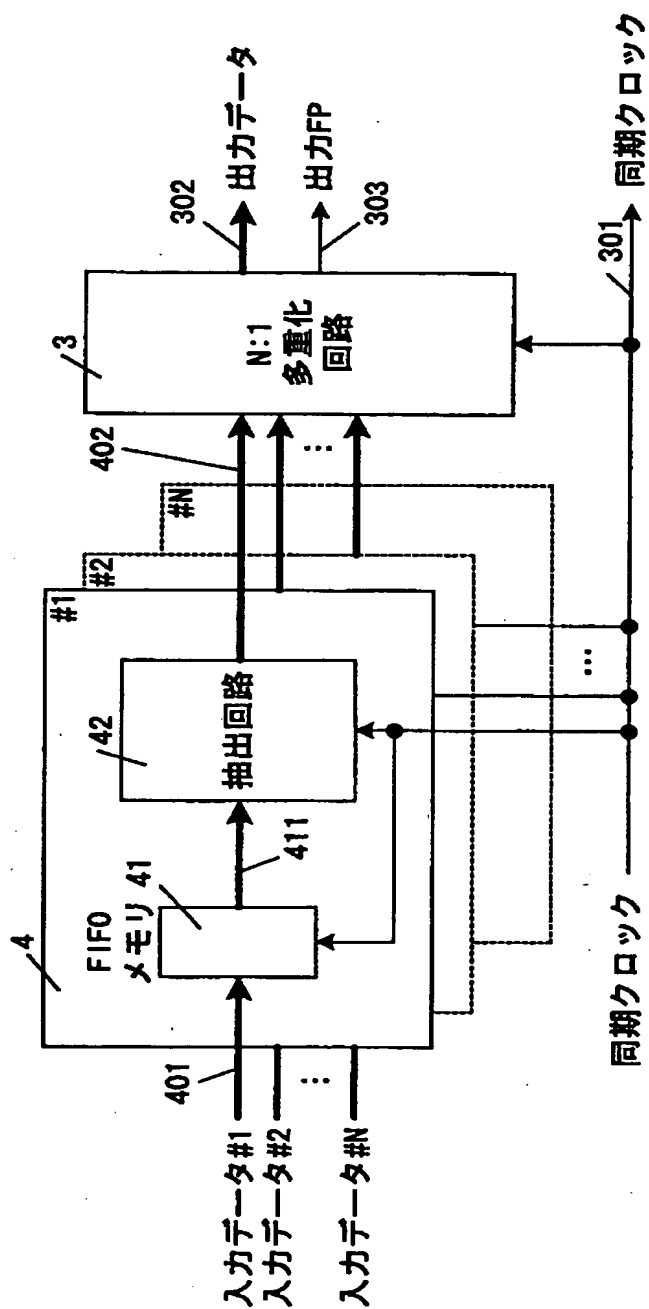
- 1 …入力インタフェース
- 2 …抽出補正回路
- 3 …多重化回路
- 1 0 …多重化装置
- 1 1 …前段 F I F O メモリ部
- 1 2 …中段 F I F O メモリ部
- 1 3 …後段 F I F O メモリ部
- 2 1 …データ監視プロトコル処理回路
- 2 2 …データ有効状態判定回路
- 2 3 …データ無符号生成回路 2 3
- 2 4 …セレクタ
- 2 5 …データ削除 F I F O メモリ
- 2 6 …データ無符号保持判定回路
- 1 0 0 …F I F O メモリ部

【書類名】

図面

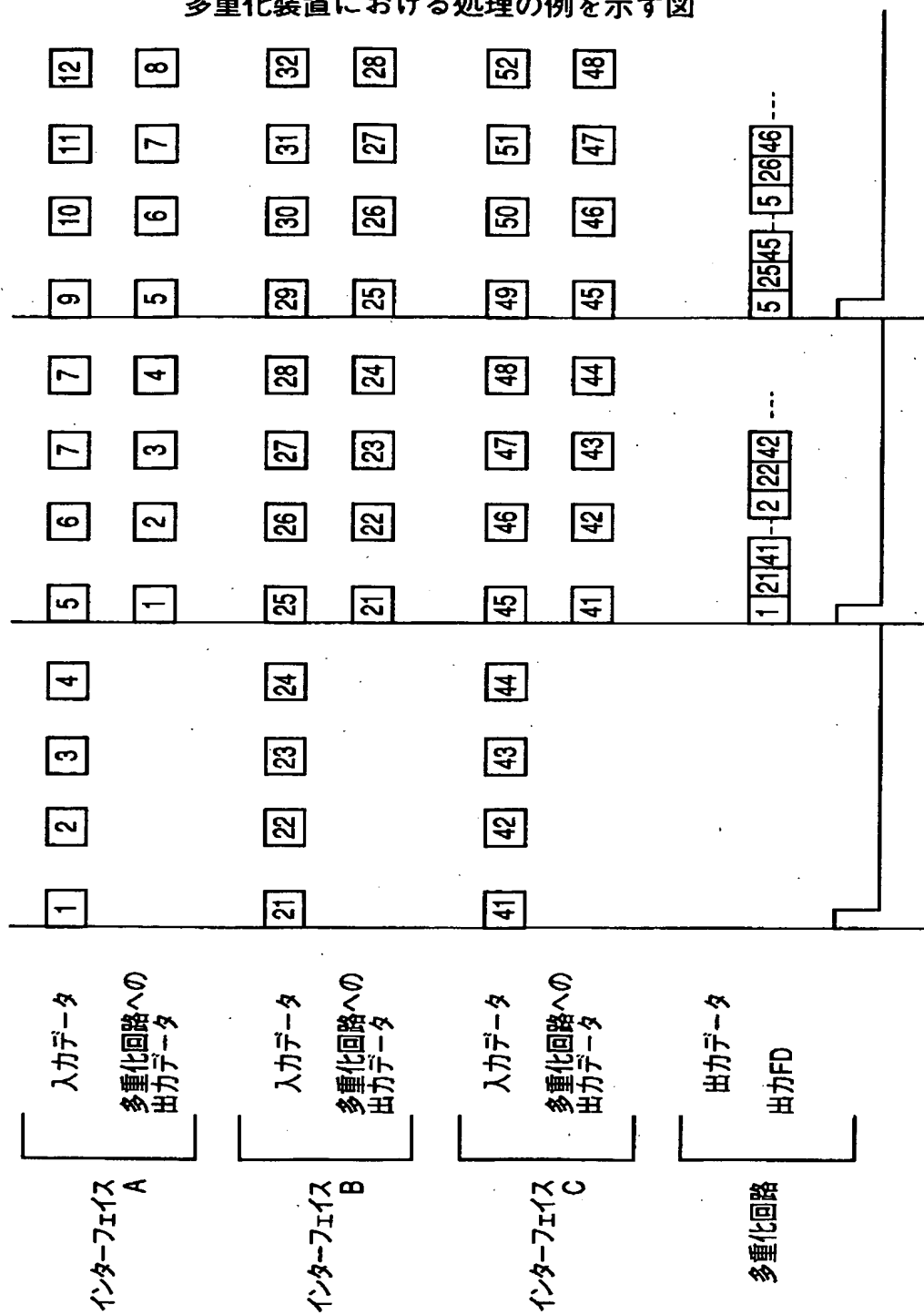
【図 1】

N : 1 非同期データ信号多重化装置の全体図



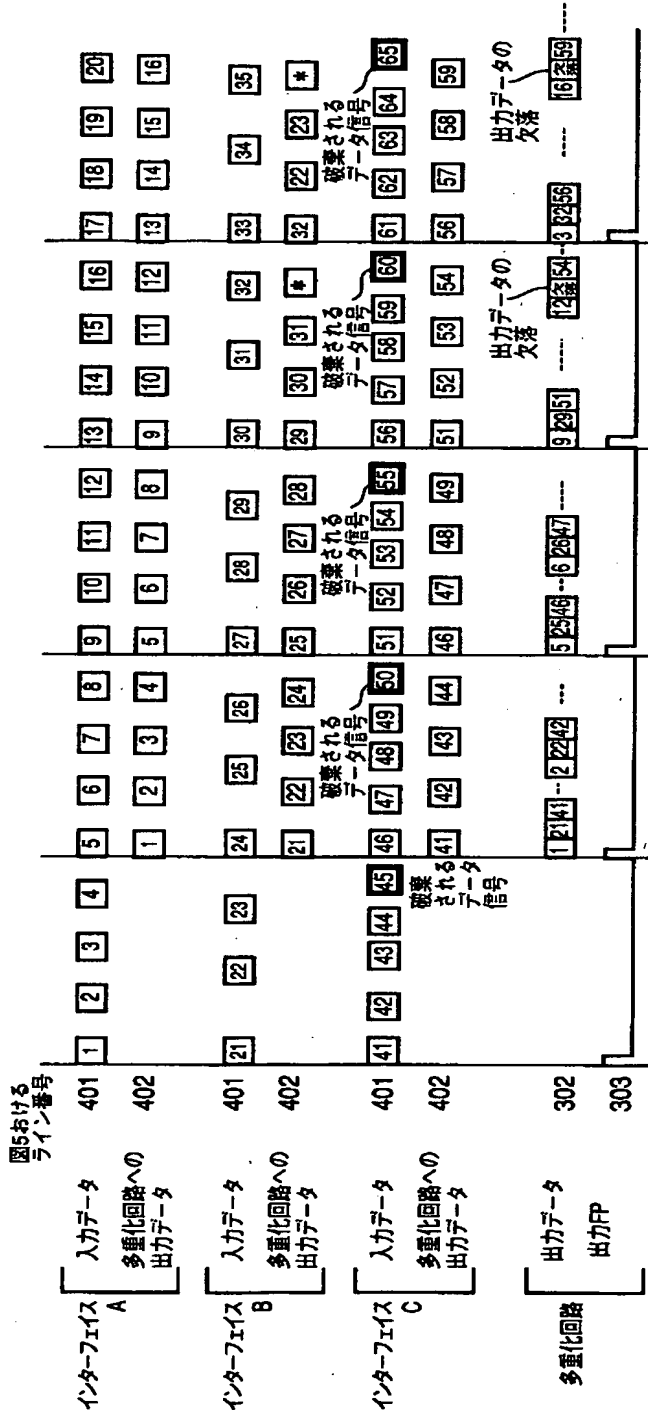
【図 2】

多重化装置における処理の例を示す図



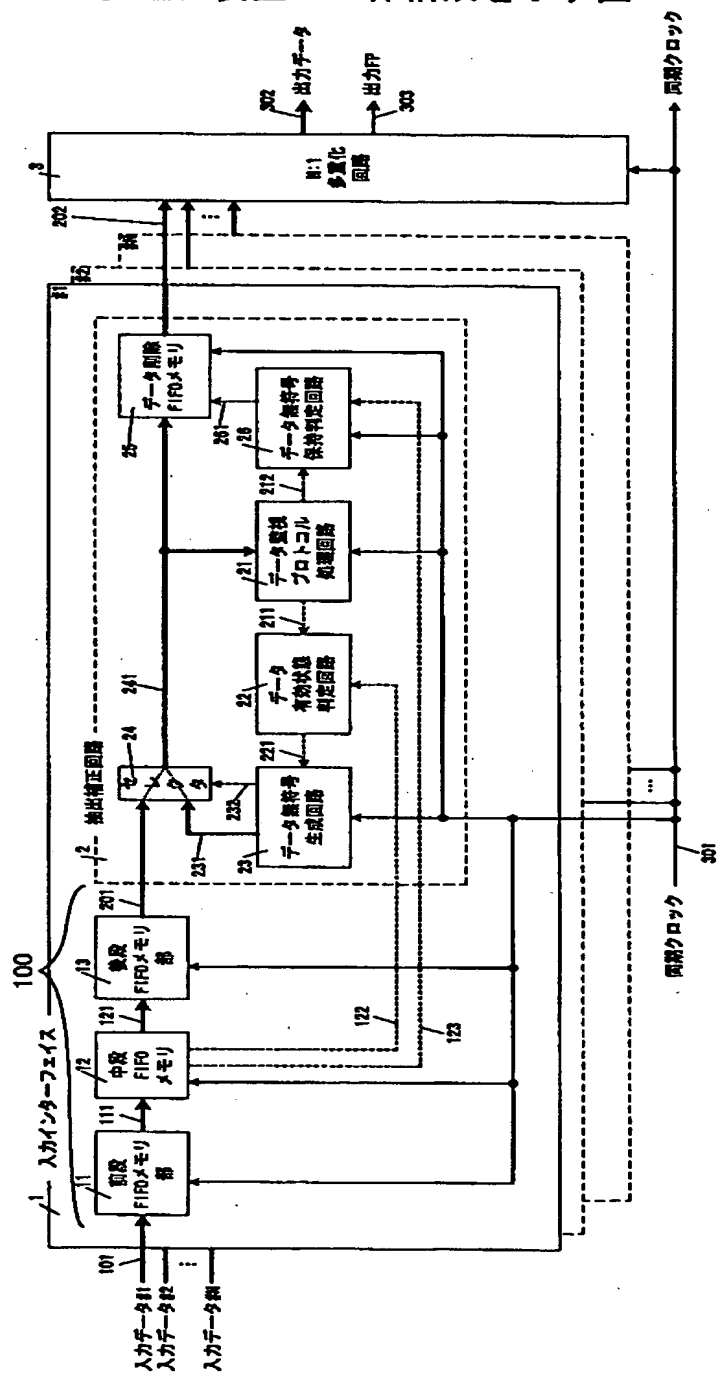
【図 3】

多重化装置における処理の例を示す図



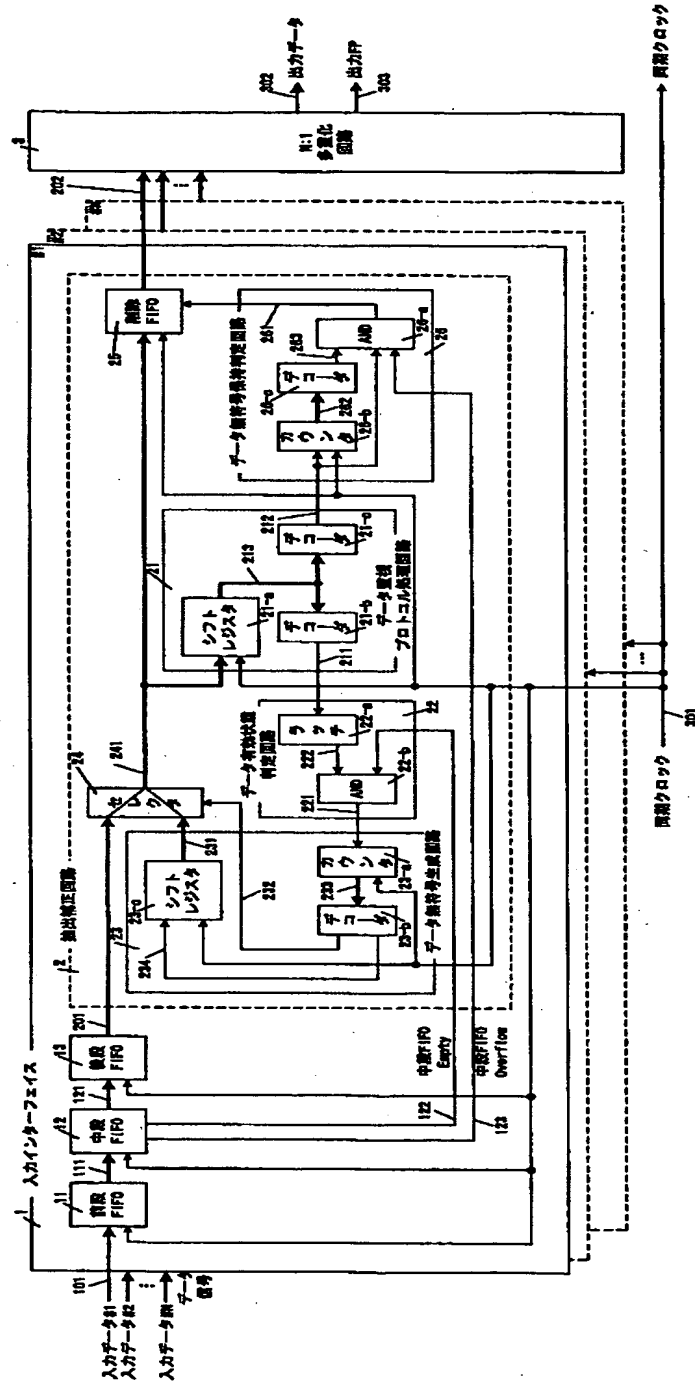
【図 4】

多重化装置の全体構成を示す図



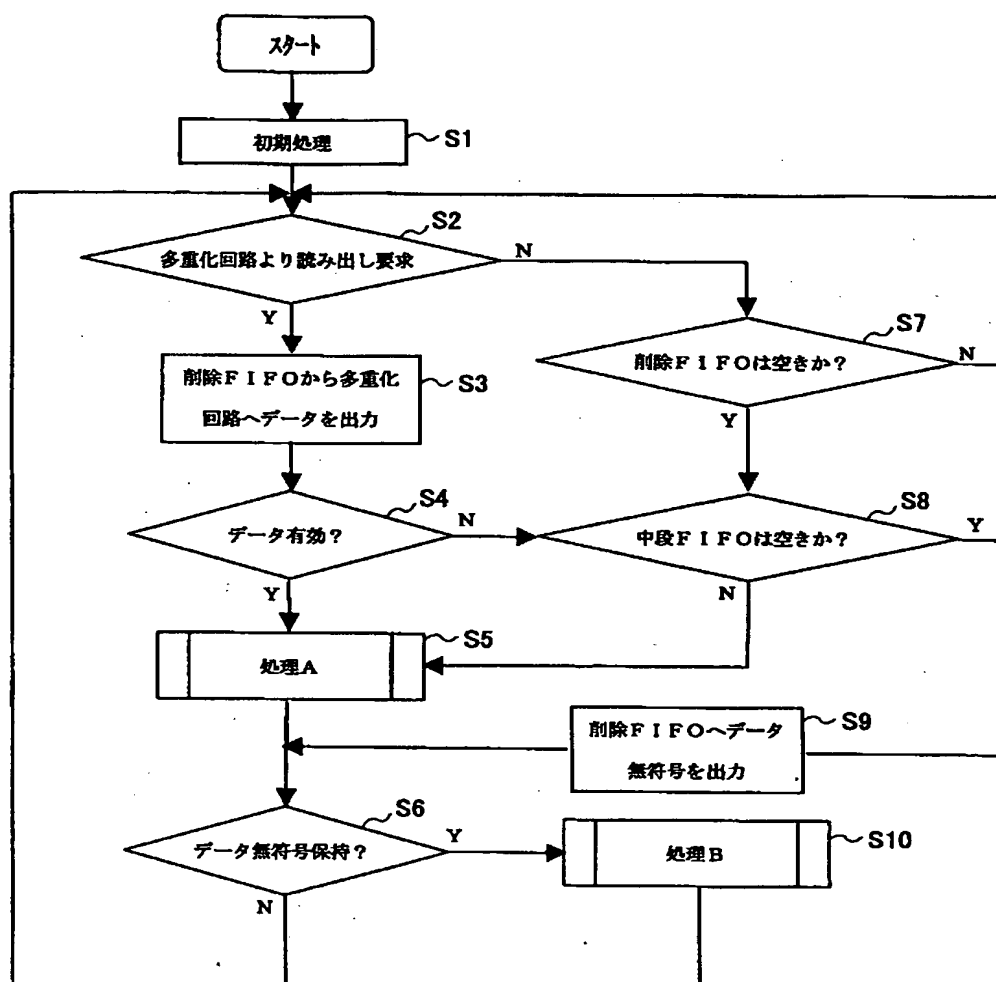
【図 5】

多重化装置の全体構成の詳細を示す図



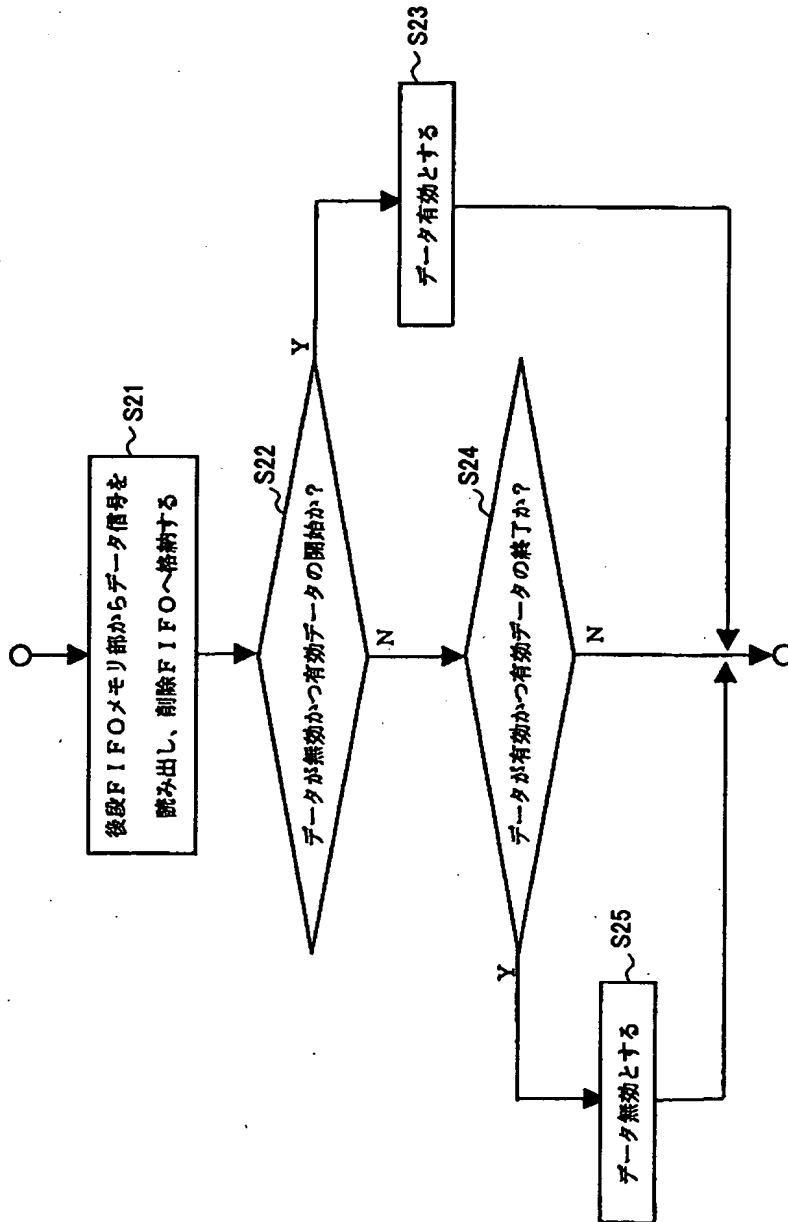
【図 6】

処理概要のフローチャート



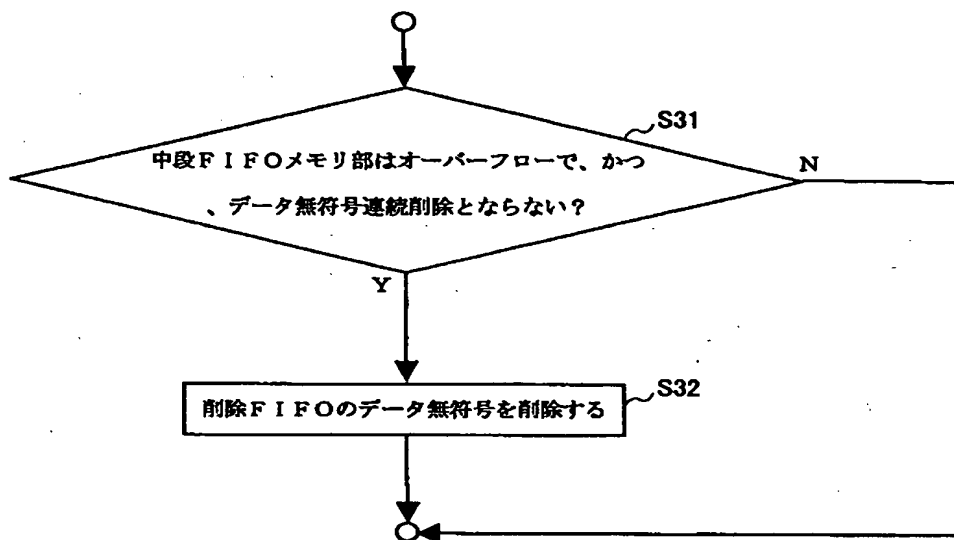
【図 7】

処理Aのフローチャート



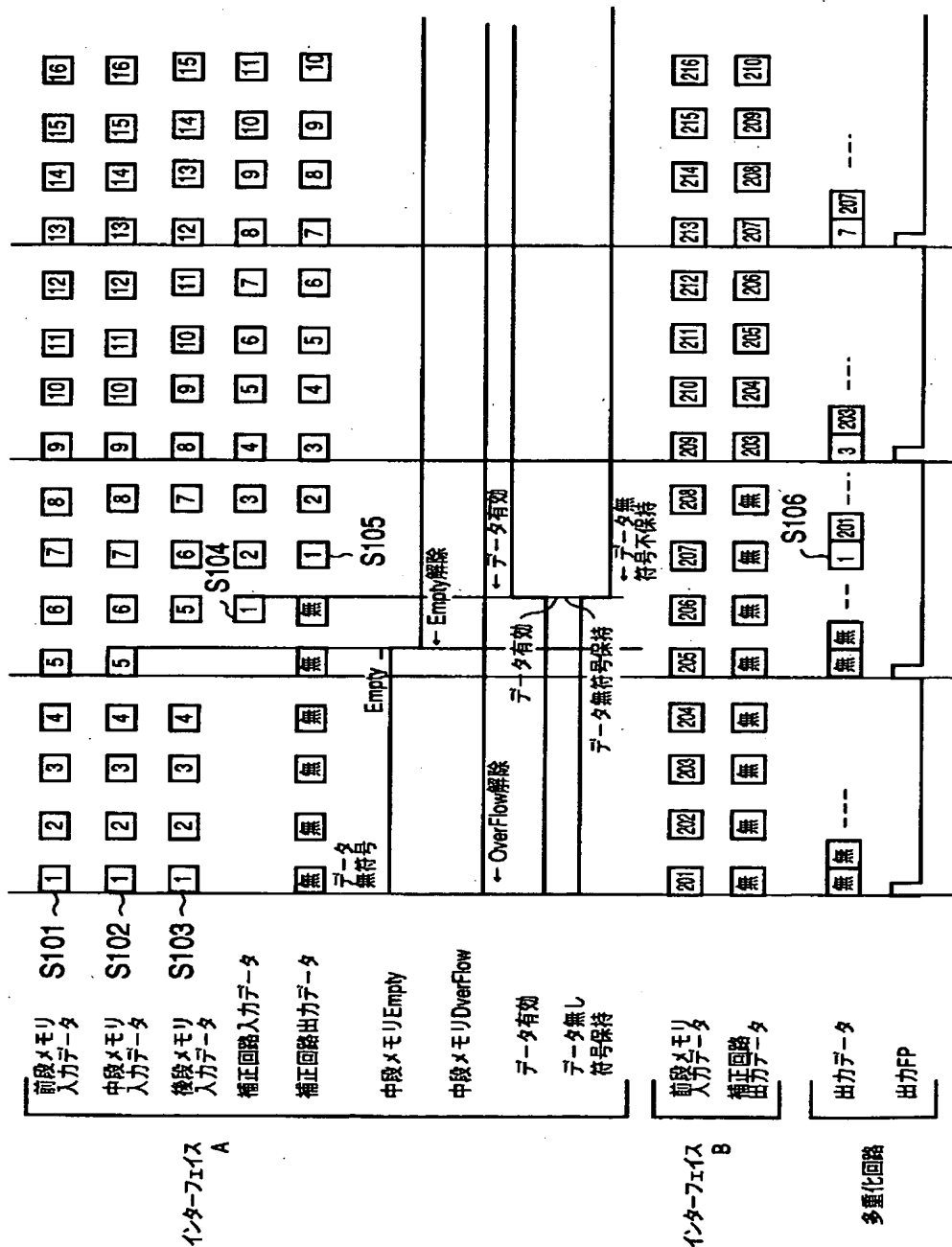
【図 8】

処理Bのフローチャート



【図 9】

第1の場合におけるインタフェース1のタイムチャート



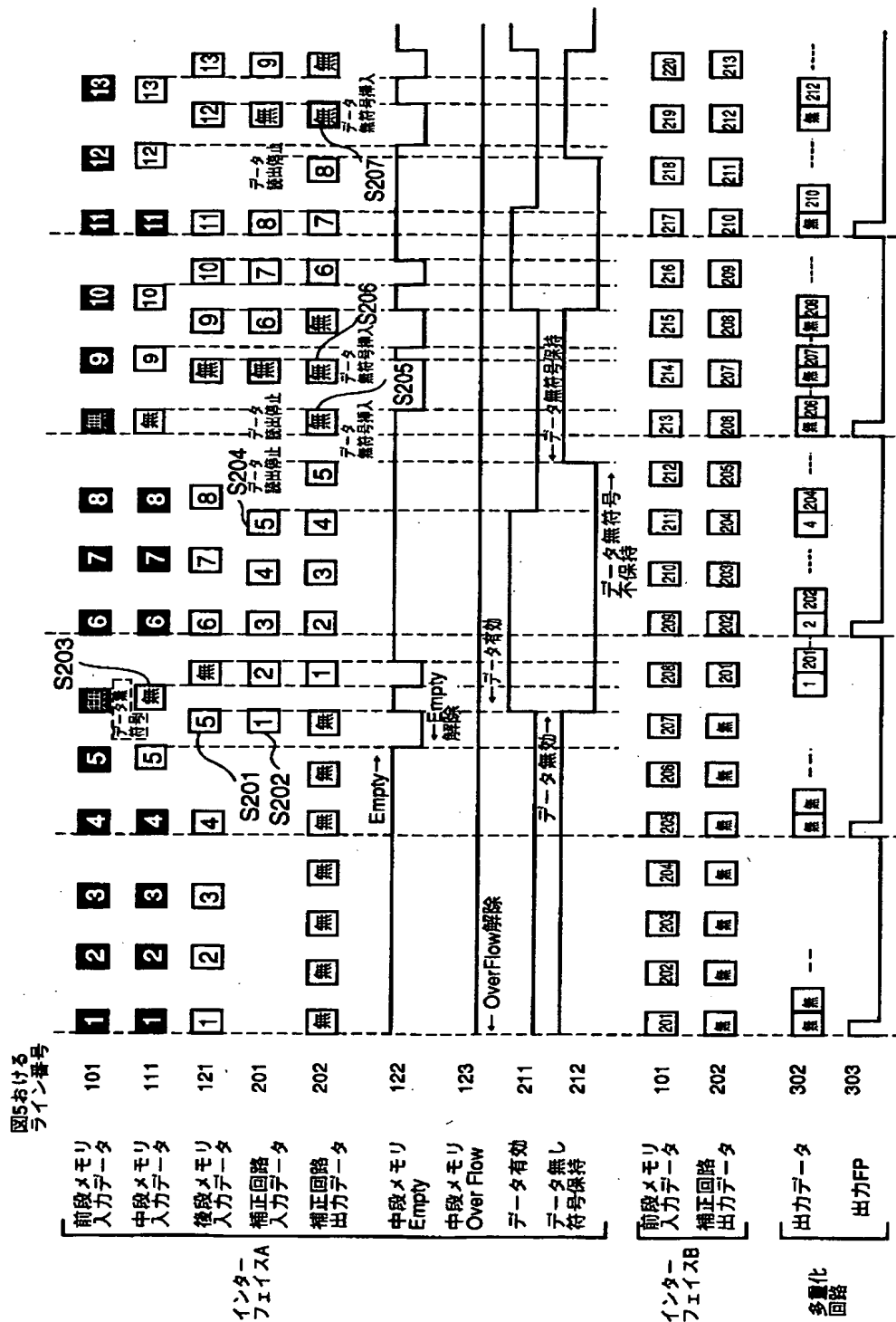
【図10】

第1の場合におけるインタフェース1のメモリの様子を示す図

入力データ	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
中段 FIFOメモリ部 12																
後段 FIFOメモリ部 13					5	6	7	8	9	10	11	12	13	14	15	16
				4	4	5	6	7	8	9	10	11	12	13	14	15
			3	3	3	4	5	6	7	8	9	10	11	12	13	14
			2	2	2	3	4	5	6	7	8	9	10	11	12	13
			1	1	1	2	3	4	5	6	7	8	9	10	11	12
回路入力	0	0	0	0	0	①	2	3	4	5	6	7	8	9	10	11
回路出力	0	0	0	0	0	0	①	2	3	4	5	6	7	8	9	10
	S104/ S105															
Empty	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
データ有効	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1

【図 1 1】

第2の場合におけるインタフェース1のタイムチャート



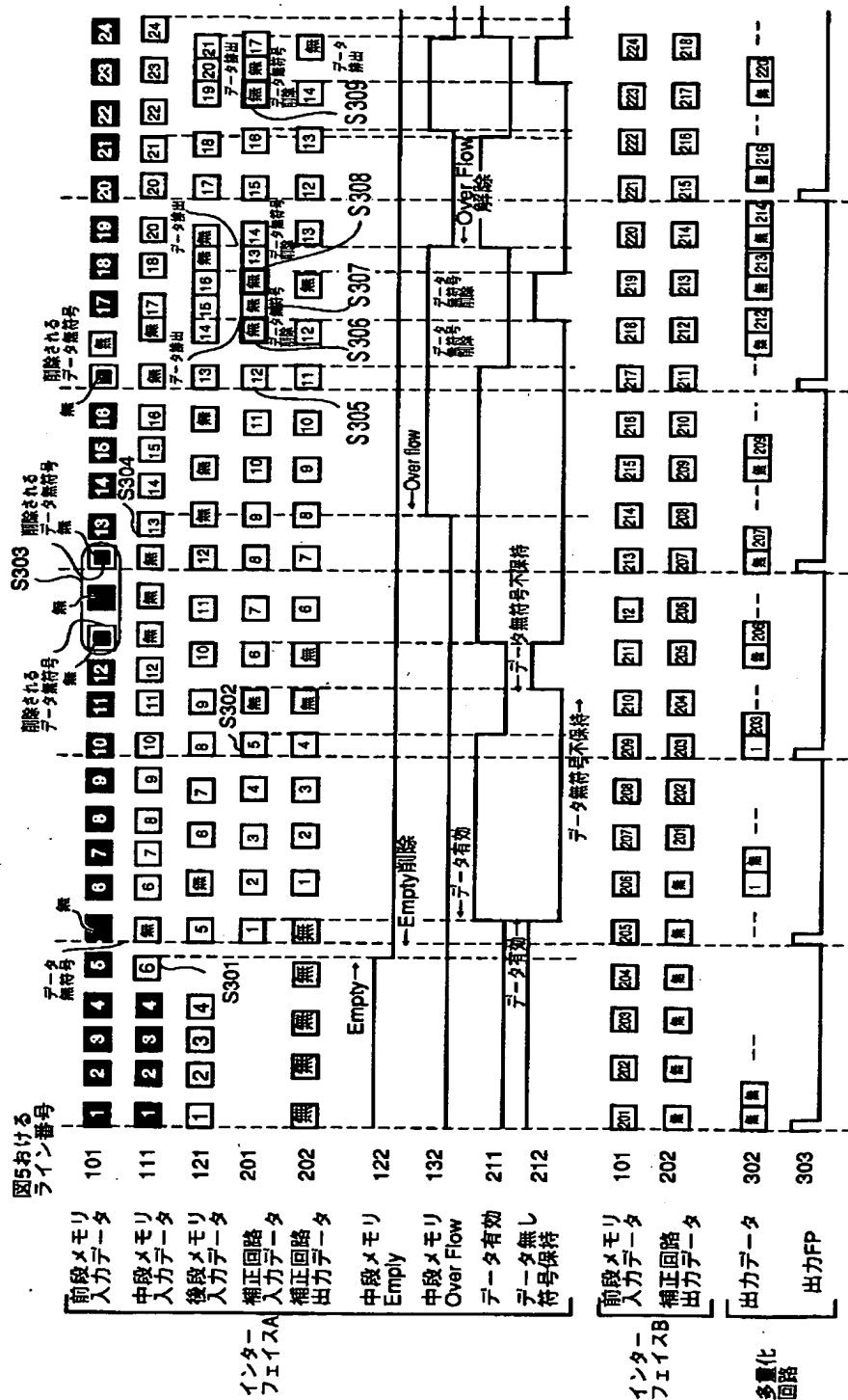
【図 1 2】

第2の場合におけるインタフェース1のメモリの様子を示す図

[illegible]

【図 13】

第3の場合におけるインタフェース1のタイムチャート



【図 14】

第3の場合におけるインタフェース1のメモリの様子を示す図

入力データ	1	2	3	4	5	IC	6	7	8	9	10	11	12	(IC)	IC	(IC)	13	14	15	16
前段																	S304			
中段					S301												S303			
後段				4	4	5	5	IC	6	7	8	9	10	11	12	(IC)	IC	(IC)	(IC)	13
回路入力	0	1	1	1	1	2	2	3	4	5	IC	IC	6	7	8	9	10	11	12	(IC)
回路バッファ	0	0	0	0	0	0	1	1	2	3	4	5	5	IC	6	7	8	9	10	11
回路出力	0		0	0	0	0		1	2	3	4		5	IC	6	7		8	9	10
S302																				
Empty	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Overflow	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
データ有効	0	0	0	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	1
データ無符号保持	1	1	1	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0

入力データ	(IC)	IC			17		18			19	20	21		22		23			24
前段		IC																	
中段	(IC)	(IC)	IC	17	17	18	18	19	20	21	22	23	24						
後段	16	16	(IC)	IC	IC	IC	IC	IC	IC	IC	IC	IC	IC	IC	IC	IC	IC	IC	IC
回路入力	15	15	16	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)	(IC)
回路バッファ	14	14	15	16	16	(IC)	(IC)	IC	17	17	18	18	19	20	21	22	23	23	23
回路出力	13	13	14	15	15	16	16	(IC)	IC	IC	IC	IC	IC	IC	IC	IC	IC	IC	IC
Empty	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Overflow	1	1	1	1	0	1	0	1	0	0	0	0	1	0	1	0	1	0	0
データ有効	1	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0
データ無符号保持	0	0	0	(1)	1	1	(1)	(1)	0	0	0	0	0	0	0	(1)	(1)	1	0

【書類名】 要約書

【要約】

【課題】 入力データ信号の入力速度と同期クロック速度の誤差を吸収し、データ信号を出力する信号処理装置及び信号処理方法、多重化装置を提供する。

【解決手段】 入力信号を格納するメモリ部（１００）と、前記メモリ部（１００）から入力信号に含まれるデータ信号を抽出し、所望の出力速度でデータ信号を出力する抽出部（２）とを有し、前記抽出部（２）は、前記メモリ部（１００）から通知される前記入力信号の格納情報に基づいてデータ信号を出力する。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社